

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002176049 A

(43) Date of publication of application: 21.06.02

(51) Int. Cl

**H01L 21/316****H01L 21/76****H01L 21/762****H01L 29/786**

(21) Application number: 2000375212

(71) Applicant: SHARP CORP

(22) Date of filing: 08.12.00

(72) Inventor: OKI ICHIRO

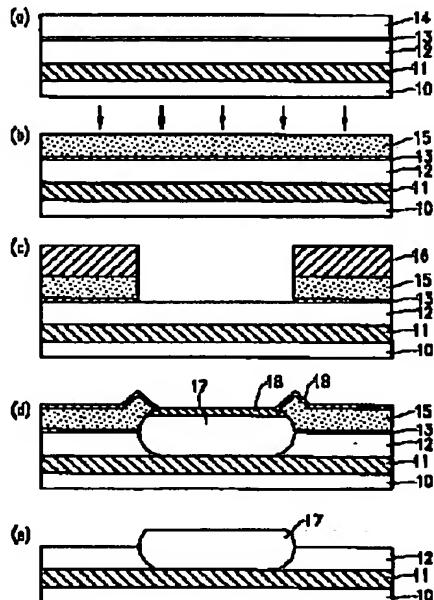
(54) METHOD OF MANUFACTURING  
SEMICONDUCTOR DEVICE

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To suppress the generation of a bird's beak on a body region on an element isolation oxide film in a semiconductor device.

**SOLUTION:** The method of manufacturing a semiconductor device comprises a process for forming a pad oxide film 13 on a body region 12 on a SOI board, a process for forming a silicon nitride film 14 on the film 13, a process for ion-implanting aluminum(Al) in the film 14, a process for patterning a prescribed region on the film 14 and an aperture region is formed in the films 13 and 14 so that the region 12 is exposed, a process for oxidizing the region 12 exposed from the aperture region to form an element isolation oxide film 17 and a process for removing an oxide layer which is formed on the surface of the film 17.

COPYRIGHT: (C)2002,JPO



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS****[Claim(s)]**

[Claim 1] the process which forms the 1st insulator layer on a silicon substrate — this — with the process which forms the 2nd insulator layer on the 1st insulator layer The process which adds an impurity atom to this 2nd insulator layer, and the process which forms an opening field in this 1st insulator layer and this 2nd insulator layer so that the predetermined field of this silicon substrate may be exposed, The manufacture approach of the semiconductor device characterized by including the process which oxidizes the silicon substrate part exposed from this opening field, and forms an isolation insulator layer, and the process which removes the oxidizing zone formed in the front face of this isolation insulator layer.

[Claim 2] the process which forms the 1st insulator layer on a silicon substrate — this — with the process which forms the 2nd insulator layer on the 1st insulator layer The process which forms an opening field in this 1st insulator layer and this 2nd insulator layer so that the predetermined field of this silicon substrate may be exposed, A mask is carried out so that a silicon substrate part may be exposed from this a part of opening field. The process which adds an impurity atom, and the process which oxidizes the silicon substrate part which was made to expose a this whole opening field silicon substrate [ from ], and was exposed, and forms an isolation insulator layer, The manufacture approach of the semiconductor device characterized by including the process which removes the oxidizing zone formed in the front face of this isolation insulator layer.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 or 2 that said silicon substrate is a SOI (Silicon On Insulator) substrate.

[Claim 4] The manufacture approach of a semiconductor device according to claim 1 or 2 that said impurity atom is aluminum (aluminum).

[Claim 5] Addition of said impurity atom is the manufacture approach of the semiconductor device according to claim 1 or 2 by ion-implantation.

[Claim 6] The manufacture approach of a semiconductor device according to claim 4 that the additions of said aluminum (aluminum) are  $1 \times 10^{13}$  atoms/cm<sup>2</sup> –  $1 \times 10^{15}$  atoms/cm<sup>2</sup>.

[Claim 7] The manufacture approach of the semiconductor device according to claim 1 or 2 which uses desiccation oxygen for oxidation of said silicon substrate part.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device that two or more components, such as an MOS transistor, were prepared on the silicon substrate, especially about the manufacture approach of a semiconductor device that two or more components were formed in the silicon substrate.

[0002]

[Description of the Prior Art] In the MOS transistor manufactured using the SOI (Silicon On Insulator) substrate with which it embedded as an insulator layer at the silicon substrate, and the oxide film was prepared, with the embedding oxide film in a SOI substrate, even if it is which [ of a PMOS transistor and an NMOS transistor ] case, parasitic capacitance, such as a junction capacitance, decreases. Therefore, the MOS transistor formed using the SOI substrate can realize low-powerizing and improvement in the speed as compared with the MOS transistor formed using the bulk silicon substrate. With the CMOS transistor of the perfect depletion mold which used the SOI substrate especially, a standup with the steep drain current over gate voltage is shown, in the case of the same OFF leakage current as the bulk mold CMOS transistor formed of the bulk silicon substrate, about 0.1v of threshold voltage can be made low, and the high-speed operation in a low battery becomes possible.

[0003] LOCOS (Local Oxidation of Silicon) which oxidizes silicon locally like the case where components, such as two or more MOS transistors prepared in the bulk silicon substrate, are usually separated in order to dissociate for every component, in forming two or more components, such as an MOS transistor, using a SOI substrate -- law is adopted.

[0004] Drawing 3 (a) and (b) are the sectional views showing each process of the manufacture approach of the MOS transistor which used the conventional SOI substrate, respectively. On the silicon substrate 20, a SOI substrate forms the embedding oxide film 21, carries out the laminating of the body field 22 which consists of a silicon single crystal on the embedding oxide film 21 of a SOI substrate, and is formed. In manufacturing an MOS transistor using this SOI substrate, it carries out the laminating of the pad oxide film 23 over the whole surface first by thermal oxidation on the body field 22 of a SOI substrate. Subsequently, on the pad oxide film 23, after carrying out the laminating of the silicon nitride 24 over the whole surface with reduced pressure CVD, the opening field which applied the photoresist 25 to NMOS transistor formation field 20a on the silicon nitride 24 and PMOS transistor formation field 20b, carried out patterning to them by the photolithography, removed the silicon nitride 24 to them alternatively by reactant plasma etching further, and the pad oxide film 23 exposed to them is formed.

[0005] Then, a photoresist 26 is applied only to PMOS transistor formation field 20b, patterning is carried out by the photolithography, and the boron (B) which is a P type impurity is added to an opening field. This forms the P type impurity diffused layer 27 in the body field 22, as shown in drawing 3 (a). And the isolation oxide film 28 (refer to drawing 3 (b)) is formed by ashing of the oxygen plasma etc. removing photoresists 25 and 26, and oxidizing thermally by masking the silicon nitride 24. By the MOS transistor of a perfect depletion mold, in order to separate into each component, the isolation oxide film 28 is formed until it reaches the embedding oxide film 21. Thereby, as shown in drawing 3 (b), the isolation oxide film 28 is formed between NMOS transistor formation field 20a and PMOS transistor formation field 20b in a SOI substrate, and NMOS transistor formation field 20a and PMOS transistor formation field 20b are separated by the isolation oxide film 28.

[0006] When forming the isolation oxide film 28 as an isolation oxide film by such LOCOS method, diffusion of an oxidizing agent advances also in a longitudinal direction, it eats into a component field, and a BAZU beak is formed. Generally, since the P type impurity doped by the silicon substrate, for example, boron, (B) is easily incorporated by the oxide film, in the BAZU beak lower part, the concentration of the boron (B) which is a P type impurity in a silicon substrate falls, and an inversion layer becomes is easy to be formed. The fall of the concentration of the boron (B) which is a P type impurity becomes remarkable with the thin SOI substrate of the body field 22 as compared with bulk silicon. For this reason, with the NMOS transistor formed in the SOI substrate, by reversal of the parasitism MOS transistor formed in the lower part of a BAZU beak, the increment in abnormalities of the drain current called a hump to the drain current characteristic over gate voltage appears, and dispersion in threshold voltage increases. The increment in dispersion in threshold voltage becomes important [ controlling the hump of a drain current characteristic to gate voltage ] in the isolation process of a SOI substrate in order to reduce whenever [ allowances / of a circuit design ].

[0007] What is necessary is just to add a P type impurity to the body field 22, in order to control a hump and to compensate the P type impurity which is incorporated by the isolation oxide film 28 and decrease in number.

[0008] For example, the method of preventing generating of the hump of a drain current characteristic to gate voltage is indicated by JP,6-204334,A. As first shown in drawing 3 (a), by this approach on the body field 22 on a silicon substrate 20 The laminating of the pad oxide film 23 and the silicon nitride 24 is carried out to sequence. NMOS transistor formation field 20a Where it was covered with the photoresist 25 and PMOS transistor formation field 20b is covered with a photoresist 25 and a photoresist 26 To the opening field with which the photoresist 25 and the photoresist 26 are not covered, arrow-head A As shown in drawing 3 (a), boron (B) is added about two  $1 \times 10^{13}$  atoms/cm<sup>2</sup> by the slanting rotation ion implantation. Thereby, as a two-dot chain line shows to drawing 3 (b), P type impurity compensation layer 27a for compensating the boron (B) of the body field 22 incorporated in the isolation oxide film 28 is formed in the body field 22. Consequently, generating of the hump of a drain current characteristic to the gate voltage according generating of the parasitism MOS transistor formed in the lower part of a BAZU beak to prevention \*\*\*\*\* can be prevented.

[0009] Moreover, the method of preventing generating of the hump of a drain current characteristic to gate voltage also to JP,10-931014,A is indicated. This approach is explained based on drawing 4 and drawing 5 . By this approach, the body field 22 which forms an NMOS transistor in the SOI substrate with which it embedded first in the silicon substrate 20 upper part, and the oxide film 21 was formed is formed. This body field 22 carries out the laminating of the body field 22 which consists of a silicon single crystal all over a SOI substrate, and on the body field 22, after [ which applies a photoresist 25 and is depended on a photolithography ] carrying out patterning, it is formed by carrying out plasma etching of the body field 22. Subsequently, as shown in drawing 5 , it heat-treats by embedding the body field 22 which forms an NMOS transistor by boron silicate glass (BSG) film 29 grade. thereby -- diffusion of the boron (B) from the BSG film 29 -- P type impurity compensation layer 27a is formed in the body field 22. According to such an approach, while formation of detailed isolation is attained with the BSG film 29, generating of the hump of a drain current characteristic to gate voltage can be prevented.

[0010]

[Problem(s) to be Solved by the Invention] However, by the approach of adding for compensation of a P type impurity, the problem that the increment in the dopant (impurity added) concentration of a body field reduces the source of an MOS transistor and the withstand voltage between drains is in the body field 22 which forms an NMOS transistor by diffusion from the insulator layer containing the P type impurity indicated by the addition and JP,10-931014,A of a P type impurity by the ion implantation indicated by JP,6-204334,A.

[0011] Moreover, by the approach of embedding the body field 22 by the insulator layer of BSG film 29 grade, since P type impurity compensation layer 27a which met perpendicularly is formed in the boundary of the body field 22 and the BSG film 29, prevention of a BAZU beak is possible, but since the edge section of the body field 22 becomes an acute angle, the electric field by the gate voltage of a transistor concentrate on this edge section, as indicated by JP,10-931014,A. For this reason, an inversion layer is formed of an electrical potential difference with gate voltage lower than a threshold, and there is a possibility that the hump of a drain current characteristic to gate voltage may occur. Furthermore, the insulator layer containing a P type impurity is formed so that the body field 22 may be embedded, and in the approach of making the

body field 22 of an NMOS transistor formation field diffusing a P type impurity from an insulator layer, in order not to make a PMOS transistor formation field (not shown) diffuse a P type impurity, it is necessary to prepare a barrier layer by insulator layers, such as silicon oxide, between the insulator layer containing a P type impurity, and a body field. For this reason, a process is complicated with the increment in a man day, and there is also a problem that wafer cost increases.

[0012] in order that this invention may solve such a technical problem and the purpose may stop the hump of a drain current characteristic to gate voltage — LOCOS — in the isolation by law, it is offering the manufacture approach of the semiconductor device which controls the BAZU break of an isolation oxide film, without making a process complicate.

[0013]

[Means for Solving the Problem] The process at which the manufacture approach of the semi-conductor substrate of this invention forms the 1st insulator layer on a silicon substrate, this — with the process which forms the 2nd insulator layer on the 1st insulator layer, and the process which adds an impurity atom to this 2nd insulator layer The process which forms an opening field in this 1st insulator layer and this 2nd insulator layer so that the predetermined field of this silicon substrate may be exposed, It is characterized by including the process which oxidizes the silicon substrate part exposed from this opening field, and forms an isolation insulator layer, and the process which removes the oxidizing zone formed in the front face of this isolation insulator layer.

[0014] The process at which the manufacture approach of the semi-conductor substrate of this invention forms the 1st insulator layer on a silicon substrate, this — with the process which forms the 2nd insulator layer on the 1st insulator layer, and the process which forms an opening field in this 1st insulator layer and this 2nd insulator layer so that the predetermined field of this silicon substrate may be exposed A mask is carried out so that a silicon substrate part may be exposed from this a part of opening field. It is characterized by including the process which adds an impurity atom, the process which oxidizes the silicon substrate part which was made to expose a this whole opening field silicon substrate [ from ], and was exposed, and forms an isolation insulator layer, and the process which removes the oxidizing zone formed in the front face of this isolation insulator layer.

[0015] Said silicon substrate is a SOI (Silicon On Insulator) substrate.

[0016] Said impurity atom is aluminum (aluminum).

[0017] Addition of said impurity atom is based on ion-implantation.

[0018] The additions of said aluminum (aluminum) are  $1 \times 10^{13}$  atoms/cm<sup>2</sup> –  $1 \times 10^{15}$  atoms/cm<sup>2</sup>.

[0019] Desiccation oxygen is used for oxidation of said silicon substrate part.

[0020]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing.

[0021] Drawing 1 (a) – (e) is the sectional view showing each process in the manufacture approach of the semiconductor device of the operation gestalt of this invention, respectively.

[0022] As shown in drawing 1 (a), first, the embedding oxide film 11 is formed on a silicon substrate 10, and the body field 12 which consists of a silicon single crystal on the embedding oxide film 11 forms the pad oxide film 13 by thermal oxidation on the body field 12 of the SOI substrate by which the laminating was carried out. Furthermore, the laminating of the silicon nitride 14 is carried out with reduced pressure CVD on the pad oxide film 13. With the operation gestalt of this invention, the thickness of the early body field 12 used the SIMOX (Separation by Implanted Oxygen) substrate whose thickness of 35–60nm and the embedding oxide film 11 is 100nm as a SOI substrate. A SIMOX substrate is a SOI substrate with which it heat-treated at the elevated temperature after the ion implantation, oxygen was embedded to the interior of a silicon substrate, and the oxide-film layer was formed in the silicon substrate. Moreover, the thickness of the pad oxide film 13 and the silicon nitride 14 could be 15nm and 85nm, respectively.

[0023] The SIMOX substrate used in the operation gestalt of this invention carried out the ion implantation of the oxygen (O) ion on the silicon substrate 10 according to the conditions of acceleration energy:200eV and amount [ of dose (impregnation) ]: $4 \times 10^{17}$ /cm<sup>2</sup>, heat-treated at the temperature of 1300 more degrees C, and formed the embedding oxide film 11. Then, the pinhole consistency of the embedding oxide film 11 was reduced by ITOX (Internal Thermal Oxidation) which oxidizes the embedding oxide film 11 further.

[0024] In addition, although a SOI substrate is manufactured by various approaches, such as ion-implantation and a lamination method, by this invention, the SOI substrate created by what kind of approach may be used

for it.

[0025] Next, as shown in drawing 1 (b), the silicon nitride 15 which carries out the ion implantation of the aluminum which is a P type impurity, and contains aluminum is formed in the silicon nitride 14. The acceleration energy at the time of impregnation is 10keV(s), and the amounts of dose (impregnation) of an ion notes entry condition are  $1 \times 10^{13}$  atoms/cm<sup>2</sup> –  $1 \times 10^{15}$  atoms/cm<sup>2</sup>. In addition, since the embedding oxide film 11 causes dielectric breakdown easily by electrification of a SOI substrate, as for the beam current at the time of an ion implantation, it is desirable [ the oxide film / supplying the electron which neutralizes electrification by PFG (Plasma Flood Oxidation) to a SOI substrate as 1mA or less ] to perform an ion implantation.

[0026] Next, as shown in drawing 1 (c), on the silicon nitride 15 containing aluminum, a photoresist 16 is applied and an opening field is formed for a predetermined field by the photolithography and reactant plasma etching. With this operation gestalt, after the KrF laser whose wavelength is 248nm having performed the photolithography and forming in a predetermined field the chemistry magnification resist pattern whose line breadth is 0.25 micrometers – 5.0 micrometers, using C<sub>2</sub>F<sub>6</sub> gas, the silicon nitride 15 and the pad oxide film 13 containing aluminum were etched, and the opening field whose line breadth is 0.25 micrometers – 5.0 micrometers was formed by the anisotropic etching by the capacity-coupling plasma of an parallel monotonous mold.

[0027] Next, as shown in drawing 1 (d), ashing by the oxygen plasma removes a photoresist 16. the mixed liquor of a sulfuric acid (H<sub>2</sub>SO<sub>4</sub>) and hydrogen peroxide solution (H<sub>2</sub>O<sub>2</sub>) -- and After [ which is depended on the mixed liquor of aqueous ammonia (NH<sub>4</sub>OH) and hydrogen peroxide solution (H<sub>2</sub>O<sub>2</sub>) ] washing, it oxidizes with the vertical mold diffusion furnace of a desiccation oxygen (Dry O<sub>2</sub>) ambient atmosphere, and the isolation oxide film 17 is formed in about 100nm thickness. The oxidation temperature of the vertical mold diffusion furnace in this operation gestalt is 900 degrees C. At this time, the oxide film 18 containing aluminum is formed in the front face of the silicon nitride 15 containing the front face and aluminum of the isolation oxide film 17 by the thickness which is about 3–5nm.

[0028] The isolation oxide film 17 formed in the body field 12 The surface concentration of the aluminum in the front face in the periphery and pin center,large section and the thickness of the isolation oxide film 17 receive the injection rate of aluminum. In the case where the injection rate of the aluminum which has the following relation is  $1 \times 10^{13}$  atoms/cm<sup>2</sup> The surface concentration of aluminum serves as  $5 \times 10^{12}$ –/cm<sup>2</sup> in the periphery of the formation field of the isolation oxide film 17, and is set to two or less  $1 \times 10^{10}$ –/cm in the pin center,large section of the formation field of the isolation oxide film 17. In oxidation according [ the thickness of the isolation oxide film 17 ] to a 900-degree C desiccation oxygen ambient atmosphere, about 95nm thickness is obtained in the periphery of the formation field of the isolation oxide film 17, and about 100nm thickness is obtained in the pin center,large section of the formation field of the isolation oxide film 17.

[0029] Moreover, in the case where the injection rate of aluminum is  $1 \times 10^{14}$  atoms/cm<sup>2</sup>, the surface concentration of aluminum serves as  $5 \times 10^{13}$ –/cm<sup>2</sup> at the periphery of the formation field of the isolation oxide film 17, and it is set to two or less  $1 \times 10^{11}$ –/cm in the pin center,large section of the formation field of the isolation oxide film 17. In oxidation according [ the thickness of the isolation oxide film 17 ] to a 900-degree C desiccation oxygen ambient atmosphere, about 90nm thickness is obtained in the periphery of the formation field of the isolation oxide film 17, and about 100nm thickness is obtained in the pin center,large section of the formation field of the isolation oxide film 17.

[0030] Furthermore, in the case where the injection rate of aluminum is  $1 \times 10^{15}$  atoms/cm<sup>2</sup>, the surface concentration of aluminum serves as  $5 \times 10^{14}$ –/cm<sup>2</sup> at the periphery of the formation field of the isolation oxide film 17, and it is set to two or less  $1 \times 10^{12}$ –/cm in the pin center,large section of the formation field of the isolation oxide film 17. In oxidation according [ the thickness of the isolation oxide film 17 ] to a 900-degree C desiccation oxygen ambient atmosphere, about 85nm thickness is obtained in the periphery of the formation field of the isolation oxide film 17, and about 100nm thickness is obtained in the pin center,large section of the formation field of the isolation oxide film 17.

[0031] Therefore, the thickness of the isolation oxide film 17 can make thickness of the isolation oxide film 17 thin about 10% in the periphery of the formation field of the isolation oxide film 17 as compared with the pin center,large section. While the injection rate of aluminum increases, it turns out that diffusion of desiccation oxygen is controlled. Consequently, the die length of the BAZU beak of the isolation oxide film 17 decreases about 10% by the ion implantation of aluminum, and prevention of generating of the hump of a

drain current characteristic to gate voltage is attained.

[0032] In addition, there is no depressor effect of diffusion of the injection rate of aluminum of desiccation oxygen in two or less  $1 \times 10^{12}$  atoms/cm, in two or more  $1 \times 10^{15}$  atoms/cm, diffusion of aluminum arises [ the injection rate of aluminum ] also in the isolation oxide-film 17 interior, and the isolation oxide film 17 deteriorates.

[0033] Next, as shown in drawing 1 (e), after removing the oxide film 18 which contains aluminum by dilution fluoric acid (HF), the silicon nitride 15 which contains aluminum with a phosphoric acid ( $H_3PO_4$ ) is removed, and dilution fluoric acid (HF) removes the pad oxide film 13 further. Thereby, component fields, such as an NMOS transistor and a PMOS transistor, are separated by the isolation oxide film 17. Then, it considers as a semiconductor device — the NMOS transistor and the PMOS transistor were prepared on the SOI substrate — by forming an electrode etc. suitably.

[0034] In the obtained semiconductor device, the thickness of the periphery of the isolation oxide film 17 is thin, since the surface concentration of the aluminum which is a P type impurity is high, the die length of the BAZU beak of the isolation oxide film 17 decreases about 10% by the ion implantation of aluminum, and prevention of generating of the hump of a drain current characteristic to gate voltage is attained.

[0035] Drawing 2 (a) – (d) is the sectional view showing each process of the manufacture approach of the semiconductor device of other operation gestalten of this invention, respectively. Drawing 2 (a) The operation gestalt shown in – (d) changes a part of operation gestalt shown in drawing 1 (a) – (e), the process shown in drawing 1 (a) is carried out first, and sequential operation of each process shown in drawing 2 (a) – (d) after that is carried out.

[0036] With this operation gestalt, like drawing 1 (a), first, the embedding oxide film 11 is formed on a silicon substrate 10, and on the body field 12 of a laminating \*\*\*\* SOI substrate, the body field 12 which consists of a silicon single crystal on the embedding oxide film 11 carries out the laminating of the pad oxide film 13, and carries out the laminating of the silicon nitride 14 with reduced pressure CVD on the pad oxide film 13 further.

[0037] Next, as shown in drawing 2 (a), on the silicon nitride 14, a photoresist 16 is applied, patterning of the photoresist 16 is carried out for a predetermined field by the photolithography, and an opening field is formed by reactant plasma etching after that. With this operation gestalt, the KrF laser whose wavelength is 248nm performed the photolithography, after forming in a predetermined field the chemistry magnification resist pattern whose line breadth is 0.25 micrometers – 5.0 micrometers, using  $C_2F_6$  gas, the silicon nitride 14 and the pad oxide film 13 were etched, and the opening field whose line breadth is 0.25 micrometers – 5.0 micrometers was formed by the anisotropic etching by the capacity-coupling plasma of an parallel monotonous mold. Then, a photoresist 16 is removed by ashing by the oxygen plasma, and a sulfuric acid ( $H_2SO_4$ ) and hydrogen peroxide solution ( $H_2O_2$ ) wash, and it is made to dry.

[0038] Next, as shown in drawing 2 (b), the formation field of a PMOS transistor is covered with a photoresist 16, patterning of the photoresist 16 is carried out for the predetermined field in the formation field (the single-sided section is shown in drawing 2 (b)) of the isolation oxide film of the periphery of an NMOS transistor formation field and an NMOS transistor formation field by the photolithography, and opening 16b is further formed by plasma etching. Then, a photoresist pattern and the silicon nitride 14 are used as a mask, the ion implantation of the aluminum is carried out into the body field 12 from opening 16b, and impregnation layer 16a of aluminum is formed in the body field 12. In addition, the impregnation energy for an ion implantation is 10–30keV, and injection rates are  $1 \times 10^{13}$  atoms/cm<sup>2</sup> –  $1 \times 10^{15}$  atoms/cm<sup>2</sup>.

[0039] Next, ashing by the oxygen plasma removes a photoresist 16, and it oxidizes with the vertical mold diffusion furnace of a desiccation oxygen (Dry O<sub>2</sub>) ambient atmosphere, and as shown in drawing 2 (c), about 100nm of isolation oxide films 17 is formed. The oxidation temperature of the vertical mold diffusion furnace in this operation gestalt is 900 degrees C. Thereby, the diffusion layer 19 of aluminum is formed along with the side edge section of the isolation oxide film 17 by the side of an NMOS transistor formation field. Moreover, the oxide film 18 containing aluminum is formed in the front face of the silicon nitride 15 containing the front face and aluminum of the isolation oxide film 17.

[0040] The isolation oxide film 17 formed in the body field 12 The thickness of the isolation oxide film 17 in the periphery and pin center, large section receives the injection rate of aluminum. In the case where the injection rate of the aluminum which has the following relation is  $1 \times 10^{13}$  atoms/cm<sup>2</sup> In oxidation according [ the thickness of the isolation oxide film 17 ] to a 900-degree C desiccation oxygen ambient atmosphere, about 95nm thickness is obtained in the periphery of the formation field of the isolation oxide film 17, and

about 100nm thickness is obtained in the pin center, large section of the formation field of the isolation oxide film 17.

[0041] Moreover, in the case where the injection rate of aluminum is  $1 \times 10^{14}$  atoms/cm<sup>2</sup>, about 90nm thickness is obtained at the periphery of the formation field of the isolation oxide film 17 in oxidation according [the thickness of the isolation oxide film 17] to a 900-degree C desiccation oxygen ambient atmosphere, and about 100nm thickness is obtained in the pin center, large section of the formation field of the isolation oxide film 17. Furthermore, in the case where the injection rate of aluminum is  $1 \times 10^{15}$  atoms/cm<sup>2</sup>, about 85nm thickness is obtained at the periphery of the formation field of the isolation oxide film 17 in oxidation according [the thickness of the isolation oxide film 17] to a 900-degree C desiccation oxygen ambient atmosphere, and about 100nm thickness is obtained in the pin center, large section of the formation field of the isolation oxide film 17.

[0042] Therefore, the thickness of the isolation oxide film 17 can make thickness of the isolation oxide film 17 thin about 10% in the periphery of the formation field of the isolation oxide film 17 as compared with the pin center, large section. While the injection rate of aluminum increases, it turns out that diffusion of desiccation oxygen is controlled. Consequently, the die length of the BAZU beak of the isolation oxide film 17 can be decreased about 10% by the ion implantation of aluminum. Moreover, along with the side edge section of the isolation oxide film 17 by the side of an NMOS transistor formation field, the diffusion layer 19 of aluminum prevents formation of an inversion layer by preventing the concentration fall of the impurity of the P type in the interface of the isolation oxide film 17 and a body field, and prevention of generating of the hump of a drain current characteristic to gate voltage is attained.

[0043] In addition, the depressor effect of diffusion of the injection rate of aluminum of desiccation oxygen in two or less  $1 \times 10^{12}$  atoms/cm is lost, in two or more  $1 \times 10^{15}$  atoms/cm, diffusion of aluminum arises [the injection rate of aluminum] also in the isolation oxide-film 17 interior, and the isolation oxide film 17 deteriorates.

[0044] Next, as shown in drawing 2 (d), after removing the oxide film 18 which contains aluminum by dilution fluoric acid (HF), the silicon nitride 15 which contains aluminum with a phosphoric acid (H<sub>3</sub>PO<sub>4</sub>) is removed, and dilution fluoric acid (HF) removes the pad oxide film 13 further. Thereby, component fields, such as an NMOS transistor and a PMOS transistor, are separated by the isolation oxide film 17. Then, it considers as a semiconductor device — the NMOS transistor and the PMOS transistor were prepared on the SOI substrate — by forming an electrode etc. suitably.

[0045] In the obtained semiconductor device, the thickness of the periphery of the isolation oxide film 17 is thin, since the diffusion layer 19 of the aluminum which is a P type impurity is moreover formed along with the side edge section of the isolation oxide film 17 by the side of an NMOS transistor formation field, the die length of the BAZU beak of the isolation oxide film 17 decreases about 10% by the ion implantation of aluminum, and prevention of generating of the hump of a drain current characteristic to gate voltage is attained.

[0046] In addition, although the operation gestalt of this invention shown in drawing 1 (a) – (e) and drawing 2 (a) – (d) is the case where it applies to a SOI substrate, the component separation method of this invention is applicable similarly to a bulk substrate.

[0047]

[Effect of the Invention] As mentioned above, by the manufacture approach of the semiconductor device of this invention, in order to form an opening field in the 1st and 2nd insulator layers formed on the silicon substrate, to oxidize a silicon substrate from the opening field and to form an isolation oxide film, the die length of the BAZU beak by the isolation oxide film decreases, and prevention of generating of the hump of a drain current characteristic to gate voltage is attained.

[0048] Moreover, an opening field is formed in the 1st and 2nd insulator layers formed on the silicon substrate by the manufacture approach of the semiconductor device of this invention. After adding an impurity atom from a part of the opening field to a silicon substrate, silicon substrate \*\* is oxidized from an opening field, and an isolation insulator layer is formed. Also by this The die length of the BAZU beak by the isolation oxide film decreases, and prevention of generating of the hump of a drain current characteristic to gate voltage is attained.

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

Drawing 1 (a) – (e) is the sectional view showing each process in the manufacture approach of the semiconductor device of the operation gestalt of this invention, respectively.

Drawing 2 (a) – (d) is the sectional view showing each process in the manufacture approach of the semiconductor device of other operation gestalten of this invention, respectively.

Drawing 3 (a) – (b) is the sectional view showing each process in the manufacture approach of the conventional semiconductor device, respectively.

Drawing 4 It is the sectional view showing the process in the manufacture approach of other conventional semiconductor devices.

Drawing 5 It is the sectional view showing the process in the manufacture approach of the conventional semiconductor device of further others.

**[Description of Notations]**

10 Silicon Substrate

11 Embedding Oxide Film

12 Body Field

13 Pad Oxide Film

14 Silicon Nitride

15 Silicon Nitride Containing Aluminum

16 Photoresist

The impregnation layer of 16a aluminum

16b opening

17 Isolation Oxide Film

18 Oxide Film Containing Aluminum

19 Diffusion Layer of Aluminum

20 Silicon Substrate

20aN MOS transistor formation field

20bPMOS transistor formation field

21 Embedding Oxide Film

22 Body Field

23 Pad Oxide Film

24 Silicon Nitride

25 Photoresist

26 Photoresist

27 P Type Impurity Diffused Layer

27aP mold impurity compensation layer

28 Isolation Oxide Film

29 Boron Silicate Glass (BSG) Film

---

[Translation done.]

**\* NOTICES \***

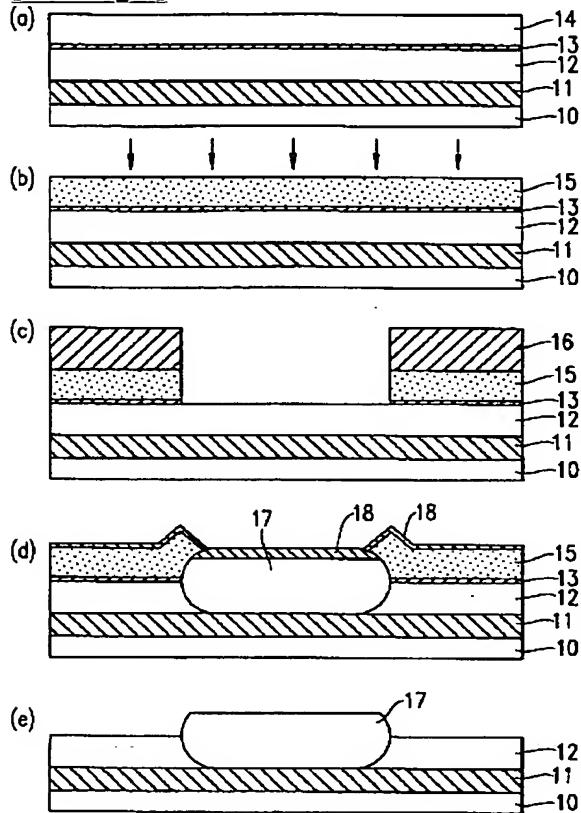
Japan Patent Office is not responsible for any damages caused by the use of this translation.

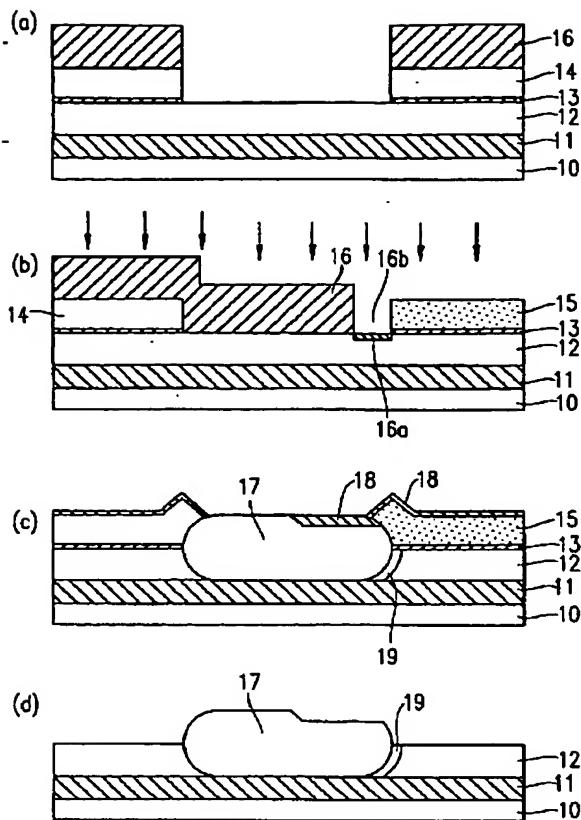
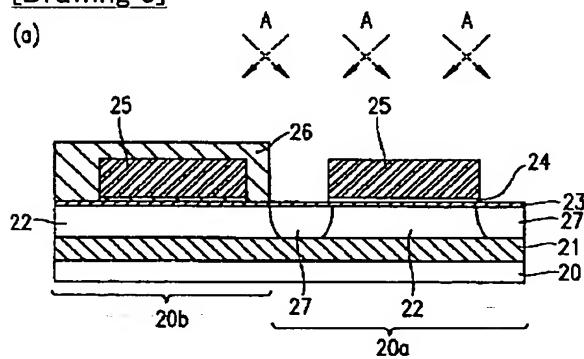
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

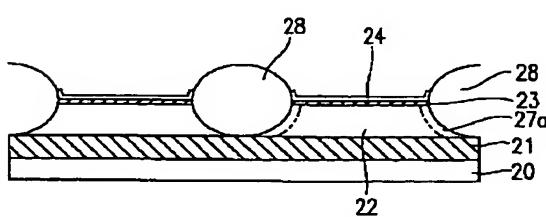
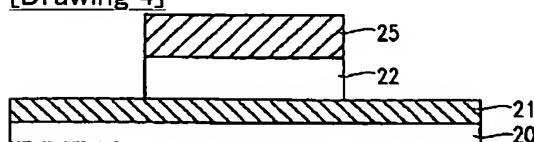
**DRAWINGS**

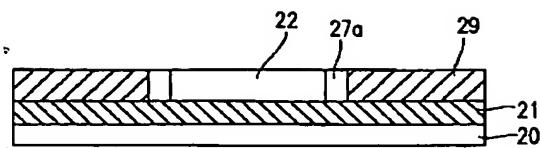
---

**[Drawing 1]****[Drawing 2]**

[Drawing 3]

(b)

[Drawing 4][Drawing 5]



---

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-176049  
(P2002-176049A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl.  
H 01 L 21/316  
21/76  
21/762  
29/786

識別記号

F I  
H 01 L 21/94  
21/76

コード(参考)  
A 4M108  
M 5F032  
D 5F110  
R

29/78 6 2 1

審査請求 未請求 請求項の数 7 OL (全 8 頁)

(21) 出願番号 特願2000-375212(P2000-375212)

(22) 出願日 平成12年12月8日 (2000.12.8)

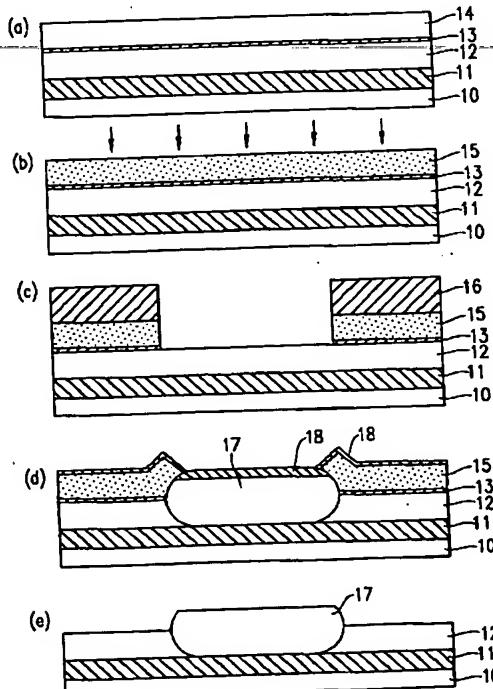
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 沖 一郎  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100078282  
弁理士 山本 秀策  
F ターム(参考) 4M108 AA02 AB04 AB13 AC13 AC20  
AC39 AC40 AC60 AD13  
5F032 AA07 AA09 CA17 DA23 DA24  
DA25 DA53 DA60  
5F110 AA30 DD05 DD13 NN62 NN65  
NN66

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 素子分離酸化膜のボディ領域へのバースピー  
クを抑制する。

【解決手段】 SOI基板のボディ領域12上にパッド  
酸化膜13を形成する工程と、パッド酸化膜13上にシ  
リコン窒化膜14を形成する工程と、シリコン窒化膜1  
4にアルミニウム(A1)をイオン注入する工程と、シ  
リコン窒化膜14上の所定の領域にパターニングして、  
ボディ領域12が露出するようにパッド酸化膜13およ  
びシリコン窒化膜14に開口領域を形成する工程と、開  
口領域から露出したボディ領域12を酸化して素子分離  
酸化膜17を形成する工程と、素子分離酸化膜17の表  
面に形成される酸化層を除去する工程と、を包含する。



## 【特許請求の範囲】

【請求項1】 シリコン基板上に第1の絶縁膜を形成する工程と、

該第1の絶縁膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に不純物原子を添加する工程と、

該シリコン基板の所定領域が露出するように該第1の絶縁膜および該第2の絶縁膜に開口領域を形成する工程と、

該開口領域から露出したシリコン基板部分を酸化して素子分離絶縁膜を形成する工程と、

該素子分離絶縁膜の表面に形成される酸化層を除去する工程と、

を包含することを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板上に第1の絶縁膜を形成する工程と、

該第1の絶縁膜上に第2の絶縁膜を形成する工程と、

該シリコン基板の所定領域が露出するように該第1の絶縁膜および該第2の絶縁膜に開口領域を形成する工程と、

該開口領域の一部からシリコン基板部分が露出するようマスクして、不純物原子を添加する工程と、

該開口領域の全体からシリコン基板を露出させて、露出したシリコン基板部分を酸化して素子分離絶縁膜を形成する工程と、

該素子分離絶縁膜の表面に形成される酸化層を除去する工程と、

を包含することを特徴とする半導体装置の製造方法。

【請求項3】 前記シリコン基板がSOI (Silicon On Insulator) 基板である請求項1または請求項2に記載の半導体装置の製造方法。

【請求項4】 前記不純物原子がアルミニウム (Al) である請求項1または請求項2に記載の半導体装置の製造方法。

【請求項5】 前記不純物原子の添加は、イオン注入法による請求項1または請求項2に記載の半導体装置の製造方法。

【請求項6】 前記アルミニウム (Al) の添加量が $1 \times 10^{13} \text{ atoms/cm}^2 \sim 1 \times 10^{15} \text{ atoms/cm}^2$ である請求項4に記載の半導体装置の製造方法。

【請求項7】 前記シリコン基板部分の酸化には、乾燥酸素を使用する請求項1または請求項2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、シリコン基板に複数の素子が形成された半導体装置の製造方法に関し、特に、MOSトランジスタ等の複数の素子がシリコン基板上に設けられた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 シリコン基板に絶縁膜として埋め込み酸

化膜が設けられたSOI (Silicon On Insulator) 基板を使用して製造されるMOSトランジスタでは、SOI基板内の埋め込み酸化膜によって、PMOSトランジスタ、NMOSトランジスタのいずれの場合であっても、接合容量等の寄生容量が減少する。したがって、SOI基板を使用して形成されたMOSトランジスタは、バルクシリコン基板を用いて形成されたMOSトランジスタに比較して、低消費電力化および高速化が実現できる。特に、SOI基板を使用した完全空乏型のCMOSトランジスタでは、ゲート電圧に対するドレイン電流が急峻な立ち上がりを示し、バルクシリコン基板によって形成されたバルク型CMOSトランジスタと同一のオフリーク電流の場合には、閾値電圧を0.1V程度低くすることができ、低電圧での高速動作が可能となる。

【0003】 SOI基板を使用してMOSトランジスタ等の複数の素子を形成する場合には、各素子毎に分離するために、通常、バルクシリコン基板に設けられた複数のMOSトランジスタ等の素子を分離する場合と同様に、シリコンを局所的に酸化させるLOCOS (Local Oxidation of Silicon) 法が採用されている。

【0004】 図3(a)および(b)は、それぞれ従来のSOI基板を使用したMOSトランジスタの製造方法の各工程を示す断面図である。SOI基板は、シリコン基板20上に、埋め込み酸化膜21を形成して、SOI基板の埋め込み酸化膜21上に、シリコン単結晶から成るボディ領域22を積層して形成されている。このSOI基板を使用してMOSトランジスタを製造する場合には、まず、SOI基板のボディ領域22上に熱酸化によってパッド酸化膜23を全面にわたって積層する。次いで、パッド酸化膜23上に、減圧CVDによってシリコン窒化膜24を全面にわたって積層した後に、シリコン窒化膜24上のNMOSトランジスタ形成領域20aおよびPMOSトランジスタ形成領域20bに、フォトレジスト25を塗布してフォトリソグラフィによりパターニングして、さらに、反応性プラズマエッティングによりシリコン窒化膜24を選択的に除去してパッド酸化膜23の露出した開口領域を形成する。

【0005】 その後、PMOSトランジスタ形成領域20bのみにフォトレジスト26を塗布してフォトリソグラフィによりパターニングして、開口領域にP型不純物であるホウ素 (B) を添加する。これにより、図3(a)に示すように、ボディ領域22内にP型不純物拡散層27を形成する。そして、フォトレジスト25および26を酸素プラズマのアッキング等によって除去し、シリコン窒化膜24をマスキングして、熱酸化を行うことによって、素子分離酸化膜28(図3(b)参照)を形成する。素子分離酸化膜28は、完全空乏型のMOSトランジスタでは、それぞれの素子に分離するために、

埋め込み酸化膜21に達するまで形成される。これにより、図3(b)に示すように、SOI基板におけるNMOSトランジスタ形成領域20aとPMOSトランジスタ形成領域20bとの間に素子分離酸化膜28が形成されて、NMOSトランジスタ形成領域20aとPMOSトランジスタ形成領域20bとが素子分離酸化膜28によって分離される。

【0006】このような、LOCOS法によって素子分離酸化膜28を素子分離酸化膜として形成する場合には、酸化剤の拡散が横方向にも進行し、素子領域に食い込んでバーズピークが形成される。一般に、シリコン基板にドープされているP型不純物、例えば、ホウ素

(B)は、酸化膜に容易に取り込まれるために、バーズピーク下部では、シリコン基板内のP型不純物であるホウ素(B)の濃度が低下し、反転層が形成されやすくなる。P型不純物であるホウ素(B)の濃度の低下は、バルクシリコンと比較してボディ領域22の薄いSOI基板では顕著になる。このために、SOI基板に形成したNMOSトランジスタでは、バーズピークの下部に形成される寄生MOSトランジスタの反転によって、ゲート電圧に対するドレイン電流特性にハンプと呼ばれるドレイン電流の異常増加が現れ、閾値電圧のばらつきが増加する。閾値電圧のばらつきの増加は、回路設計の余裕度を低下させるために、SOI基板の素子分離工程においては、ゲート電圧に対するドレイン電流特性のハンプを抑制することが重要となる。

【0007】ハンプを抑制するには、素子分離酸化膜28に取り込まれて減少するP型不純物を補償するために、ボディ領域22にP型不純物を添加すればよい。

【0008】例えば、特開平6-204334号公報には、ゲート電圧に対するドレイン電流特性のハンプの発生を防止する方法が開示されている。この方法では、まず図3(a)に示すように、シリコン基板20上のボディ領域22上に、パッド酸化膜23およびシリコン窒化膜24が順番に積層されて、NMOSトランジスタ形成領域20aが、フォトレジスト25によって被覆され、PMOSトランジスタ形成領域20bが、フォトレジスト25およびフォトレジスト26によって被覆された状態で、フォトレジスト25およびフォトレジスト26が被覆されていない開口領域に対して、図3(a)に矢印A示すように、斜め回転イオン注入によってホウ素

(B)を $1 \times 10^{13} \text{ atoms/cm}^2$ 程度、添加する。これにより、図3(b)に二点鎖線で示すように、素子分離酸化膜28内に取り込まれたボディ領域22のホウ素(B)を補償するためのP型不純物補償層27aが、ボディ領域22に形成される。この結果、バーズピークの下部に形成される寄生MOSトランジスタの発生を防止することによるゲート電圧に対するドレイン電流特性のハンプの発生を防止することができる。

【0009】また、特開平10-931014号公報に

も、ゲート電圧に対するドレイン電流特性のハンプの発生を防止する方法が開示されている。この方法を、図4および図5に基づいて説明する。この方法では、まずシリコン基板20上部に埋め込み酸化膜21が設けられたSOI基板にNMOSトランジスタを形成するボディ領域22を形成する。このボディ領域22は、SOI基板の全面に、シリコン単結晶からなるボディ領域22を積層し、ボディ領域22上に、フォトレジスト25を塗布してフォトリソグラフィによるパターニングした後に、ボディ領域22をプラズマエッチングすることによって形成される。ついで、図5に示すように、NMOSトランジスタを形成するボディ領域22をホウ素シリケートガラス(BSG)膜29等によって埋め込み、熱処理をする。これによりBSG膜29からのホウ素(B)の拡散によってボディ領域22にP型不純物補償層27aが形成される。このような方法によれば、BSG膜29によって微細な素子分離の形成が可能となるとともに、ゲート電圧に対するドレイン電流特性のハンプの発生を防止することができる。

#### 【0010】

【発明が解決しようとする課題】しかしながら、特開平6-204334号公報に開示されたイオン注入によるP型不純物の添加および特開平10-931014号公報に開示されたP型不純物を含む絶縁膜からの拡散によって、NMOSトランジスタを形成するボディ領域22にP型不純物を補償のために添加する方法では、ボディ領域のドーパント(添加される不純物)濃度の増加がMOSトランジスタのソース、ドレン間の耐電圧を低下させるという問題がある。

【0011】また、特開平10-931014号公報に開示されているように、ボディ領域22をBSG膜29等の絶縁膜により埋め込む方法では、ボディ領域22とBSG膜29との境界に垂直方向に沿ったP型不純物補償層27aが形成されるためにバーズピークの防止は可能であるが、ボディ領域22のエッジ部が鋭角になるために、このエッジ部にトランジスタのゲート電圧による電界が集中する。このために、ゲート電圧が閾値より低い電圧により反転層が形成され、ゲート電圧に対するドレイン電流特性のハンプが発生するおそれがある。さらに、ボディ領域22を埋め込むようにP型不純物を含む絶縁膜を形成するして、NMOSトランジスタ形成領域のボディ領域22に絶縁膜からP型不純物を拡散させる方法においては、PMOSトランジスタ形成領域(図示せず)にP型不純物を拡散させないために、P型不純物を含む絶縁膜とボディ領域の間にシリコン酸化膜等の絶縁膜でバリア層を設ける必要がある。このために、工数の増加とともにプロセスが複雑化して、ウエハコストが増加するという問題もある。

【0012】本発明は、このような課題を解決するものであり、その目的は、ゲート電圧に対するドレイン電流

特性のハムプを抑えるために、LOCOS法による素子分離において、工程を複雑化させることなく素子分離酸化膜のバースピークを抑制する半導体装置の製造方法を提供することである。

#### 【0013】

【課題を解決するための手段】本発明の半導体基板の製造方法は、シリコン基板上に第1の絶縁膜を形成する工程と、該第1の絶縁膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜に不純物原子を添加する工程と、該シリコン基板の所定領域が露出するように該第1の絶縁膜および該第2の絶縁膜に開口領域を形成する工程と、該開口領域から露出したシリコン基板部分を酸化して素子分離絶縁膜を形成する工程と、該素子分離絶縁膜の表面に形成される酸化層を除去する工程と、を包含することを特徴とする。

【0014】本発明の半導体基板の製造方法は、シリコン基板上に第1の絶縁膜を形成する工程と、該第1の絶縁膜上に第2の絶縁膜を形成する工程と、該シリコン基板の所定領域が露出するように該第1の絶縁膜および該第2の絶縁膜に開口領域を形成する工程と、該開口領域の一部からシリコン基板部分が露出するようにマスクして、不純物原子を添加する工程と、該開口領域の全体からシリコン基板を露出させて、露出したシリコン基板部分を酸化して素子分離絶縁膜を形成する工程と、該素子分離絶縁膜の表面に形成される酸化層を除去する工程と、を包含することを特徴とする。

【0015】前記シリコン基板がSOI (Silicon On Insulator) 基板である。

【0016】前記不純物原子がアルミニウム (Al) である。

【0017】前記不純物原子の添加は、イオン注入法による。

【0018】前記アルミニウム (Al) の添加量が $1 \times 10^{13} \text{ atoms/cm}^2 \sim 1 \times 10^{15} \text{ atoms/cm}^2$ である。

【0019】前記シリコン基板部分の酸化には、乾燥酸素を使用する。

#### 【0020】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0021】図1 (a) ~ (e) は、それぞれ本発明の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【0022】図1 (a) に示すように、まずシリコン基板10上に、埋め込み酸化膜11が形成され、埋め込み酸化膜11上に、シリコン単結晶から成るボディ領域12が積層されたSOI基板のボディ領域12上に、熱酸化によりパッド酸化膜23を形成する。さらに、パッド酸化膜13上に、減圧CVDによってシリコン窒化膜14を積層する。本発明の実施形態では、SOI基板とし

て、初期のボディ領域12の膜厚が35~60nm、埋め込み酸化膜11の膜厚が100nmであるSIMOX (Separation by Implanted Oxygen) 基板を使用した。SIMOX基板は、シリコン基板に酸素をイオン注入後、高温で熱処理され、シリコン基板内部に埋め込み酸化膜層が形成されたSOI基板である。また、パッド酸化膜13およびシリコン窒化膜14の膜厚は、それぞれ15nmおよび85nmとした。

【0023】本発明の実施形態において使用したSIMOX基板は、シリコン基板10上に加速エネルギー：200eV、ドーズ(注入)量： $4 \times 10^{17} / \text{cm}^2$ の条件により酸素(O)イオンをイオン注入して、さらに1300°Cの温度で熱処理を行い埋め込み酸化膜11を形成した。その後、埋め込み酸化膜11をさらに酸化するITOX (Internal Thermal Oxidation) によって、埋め込み酸化膜11のピンホール密度を低減した。

【0024】なお、SOI基板は、イオン注入法、張り合わせ法等の様々な方法により製造されるが、本発明では、どのような方法によって作成されたSOI基板を用いてもよい。

【0025】次に、図1 (b) に示すように、シリコン窒化膜14内にP型不純物であるアルミニウムをイオン注入してアルミニウムを含むシリコン窒化膜15を形成する。イオン注入条件は、注入時の加速エネルギーが10keVであり、ドーズ(注入)量が $1 \times 10^{13} \text{ atoms/cm}^2 \sim 1 \times 10^{15} \text{ atoms/cm}^2$ である。尚、埋め込み酸化膜11は、SOI基板の帯電によって

容易に絶縁破壊を起こすので、イオン注入時のビーム電流は、1mA以下として、PFG (Plasma Fired Oxidation) によって帯電を中和する電子をSOI基板に供給しながらイオン注入を行うことが好ましい。

【0026】次に、図1 (c) に示すように、アルミニウムを含むシリコン窒化膜15上に、フォトレジスト16を塗布して、所定の領域をフォトリソグラフィおよび反応性プラズマエッティングによって、開口領域を形成する。本実施形態では、波長が248nmのKrFレーザーによってフォトリソグラフィを行い、所定の領域に、線幅が $0.25 \mu\text{m} \sim 5.0 \mu\text{m}$ の化学增幅レジストパターンを形成した後に、C<sub>2</sub>F<sub>6</sub>ガスを使用して平行平板型の容量結合プラズマによる異方性エッティングにより、アルミニウムを含むシリコン窒化膜15およびパッド酸化膜13をエッティングして、線幅が $0.25 \mu\text{m} \sim 5.0 \mu\text{m}$ の開口領域を形成した。

【0027】次に、図1 (d) に示すように、フォトレジスト16を酸素プラズマによるアッシングにより除去して、硫酸(H<sub>2</sub>SO<sub>4</sub>)と過酸化水素(H<sub>2</sub>O<sub>2</sub>)との混合液、および、アンモニア水(NH<sub>4</sub>OH)と過酸化

水素水 ( $H_2O_2$ ) との混合液による洗浄した後に、乾燥酸素 (Dry O<sub>2</sub>) 雰囲気の縦型拡散炉により酸化を行って、素子分離酸化膜 17 を 100 nm 程度の膜厚に形成する。本実施形態での縦型拡散炉の酸化温度は 900 °C である。この時、素子分離酸化膜 17 の表面およびアルミニウムを含むシリコン窒化膜 15 の表面には、アルミニウムを含む酸化膜 18 が 3 ~ 5 nm 程度の膜厚で形成される。

【0028】ボディ領域 12 に形成される素子分離酸化膜 17 は、その周辺部とセンター部での表面におけるアルミニウムの表面濃度および素子分離酸化膜 17 の膜厚がアルミニウムの注入量に対して、以下の関係を有しているアルミニウムの注入量が  $1 \times 10^{13} \text{ atoms/cm}^2$  の場合では、アルミニウムの表面濃度は、素子分離酸化膜 17 の形成領域の周辺部では  $5 \times 10^{12}/\text{cm}^2$  となり、素子分離酸化膜 17 の形成領域のセンター部では  $1 \times 10^{10}/\text{cm}^2$  以下となる。素子分離酸化膜 17 の膜厚は、900 °C での乾燥酸素雰囲気による酸化において、素子分離酸化膜 17 の形成領域の周辺部では 95 nm 程度の膜厚が得られ、素子分離酸化膜 17 の形成領域のセンター部では 100 nm 程度の膜厚が得られる。

【0029】また、アルミニウムの注入量が  $1 \times 10^{14} \text{ atoms/cm}^2$  の場合では、アルミニウムの表面濃度は、素子分離酸化膜 17 の形成領域の周辺部では  $5 \times 10^{13}/\text{cm}^2$  となり、素子分離酸化膜 17 の形成領域のセンター部では  $1 \times 10^{11}/\text{cm}^2$  以下となる。素子分離酸化膜 17 の膜厚は、900 °C での乾燥酸素雰囲気による酸化において、素子分離酸化膜 17 の形成領域の周辺部では 90 nm 程度の膜厚が得られ、素子分離酸化膜 17 の形成領域のセンター部では 100 nm 程度の膜厚が得られる。

【0030】さらに、アルミニウムの注入量が  $1 \times 10^{15} \text{ atoms/cm}^2$  の場合では、アルミニウムの表面濃度は、素子分離酸化膜 17 の形成領域の周辺部では  $5 \times 10^{14}/\text{cm}^2$  となり、素子分離酸化膜 17 の形成領域のセンター部では  $1 \times 10^{12}/\text{cm}^2$  以下となる。素子分離酸化膜 17 の膜厚は、900 °C での乾燥酸素雰囲気による酸化において、素子分離酸化膜 17 の形成領域の周辺部では 85 nm 程度の膜厚が得られ、素子分離酸化膜 17 の形成領域のセンター部では 100 nm 程度の膜厚が得られる。

【0031】したがって、素子分離酸化膜 17 の膜厚は、素子分離酸化膜 17 の形成領域の周辺部ではセンター部に比較して 10 % 程度、素子分離酸化膜 17 の膜厚を薄くできる。アルミニウムの注入量が多くなるとともに、乾燥酸素の拡散が抑制されていることがわかる。この結果、素子分離酸化膜 17 のバースピークの長さは、アルミニウムのイオン注入により 10 % 程度減少し、ゲート電圧に対するドレン電流特性のハンプの発生の防止が可能になる。

【0032】尚、アルミニウムの注入量が  $1 \times 10^{12} \text{ atoms/cm}^2$  以下では、乾燥酸素の拡散の抑制効果がなく、アルミニウムの注入量が  $1 \times 10^{15} \text{ atoms/cm}^2$  以上では、素子分離酸化膜 17 内部にもアルミニウムの拡散が生じ、素子分離酸化膜 17 が劣化する。

【0033】次に、図 1 (e) に示すように、希釈フッ酸 (HF) によってアルミニウムを含む酸化膜 18 を除去した後、リン酸 ( $H_3PO_4$ ) によってアルミニウムを含むシリコン窒化膜 15 を除去し、さらに希釈フッ酸 (HF) によってパッド酸化膜 13 を除去する。これにより、NMOS トランジスタ、PMOS トランジスタ等の素子領域が素子分離酸化膜 17 によって分離される。その後、適宜、電極等を形成することにより、SOI 基板上に NMOS トランジスタおよび PMOS トランジスタが設けられた等の半導体装置とされる。

【0034】得られた半導体装置では、素子分離酸化膜 17 の周辺部の膜厚が薄く、P 型不純物であるアルミニウムの表面濃度が高くなっているために、素子分離酸化膜 17 のバースピークの長さは、アルミニウムのイオン注入により 10 % 程度減少し、ゲート電圧に対するドレン電流特性のハンプの発生の防止が可能になる。

【0035】図 2 (a) ~ (d) は、それぞれ本発明の他の実施形態の半導体装置の製造方法の各工程を示す断面図である。図 2 (a) ~ (d) に示す実施形態は、図 1 (a) ~ (e) に示す実施形態の一部を変更したものであり、最初に、図 1 (a) に示す工程を実施して、その後に図 2 (a) ~ (d) に示す各工程が順次実施される。

【0036】本実施形態では、図 1 (a) と同様に、まず、シリコン基板 10 上に、埋め込み酸化膜 11 が形成され、埋め込み酸化膜 11 上に、シリコン単結晶から成るボディ領域 12 が積層した SOI 基板のボディ領域 12 上に、パッド酸化膜 13 を積層し、さらにパッド酸化膜 13 上に、減圧 CVD によってシリコン窒化膜 14 を積層する。

【0037】次に、図 2 (a) に示すように、シリコン窒化膜 14 上に、フォトレジスト 16 を塗布して、所定の領域をフォトリソグラフィによりフォトレジスト 16 をパターニングし、その後、反応性プラズマエッチングによって開口領域を形成する。本実施形態では、波長が 248 nm の KrF レーザーによってフォトリソグラフィを行い、所定の領域に、線幅が 0.25 μm ~ 5.0 μm の化学增幅レジストパターンを形成後、C<sub>2</sub>F<sub>6</sub> ガスを使用して平行平板型の容積結合プラズマによる異方性エッチングにより、シリコン窒化膜 14 およびパッド酸化膜 13 をエッチングして、線幅が 0.25 μm ~ 5.0 μm の開口領域を形成した。その後、フォトレジスト 16 を酸素プラズマによるアッシングで除去し、硫酸 ( $H_2SO_4$ ) と過酸化水素水 ( $H_2O_2$ ) とにより洗浄して、乾燥させる。

【0038】次に、図2(b)に示すように、PMOSトランジスタの形成領域をフォトレジスト16により被覆して、NMOSトランジスタ形成領域とNMOSトランジスタ形成領域の周辺部の素子分離酸化膜の形成領域(図2(b)にはその片側部を示す)における所定の領域をフォトリソグラフィにより、フォトレジスト16をバーニングし、さらにプラズマエッチングにより開口部16bを形成する。その後、フォトレジストパターンとシリコン窒化膜14とをマスクとして使用し、開口部16bからボディ領域12内にアルミニウムをイオン注入して、ボディ領域12内にアルミニウムの注入層16aを形成する。尚、イオン注入に際しての注入エネルギーは10~30keVであり、注入量は $1 \times 10^{13}$ atoms/cm<sup>2</sup>~ $1 \times 10^{15}$ atoms/cm<sup>2</sup>である。

【0039】次に、フォトレジスト16を酸素プラズマによるアッシングにより除去し、乾燥酸素(Dry O<sub>2</sub>)雰囲気の縦型拡散炉により酸化を行い、図2(c)に示すように、素子分離酸化膜17を100nm程度形成する。本実施形態での縦型拡散炉の酸化温度は900℃である。これにより、NMOSトランジスタ形成領域側の素子分離酸化膜17の側端部に沿ってアルミニウムの拡散層19が形成される。また、素子分離酸化膜17の表面およびアルミニウムを含むシリコン窒化膜15の表面には、アルミニウムを含む酸化膜18が形成される。

【0040】ボディ領域12に形成される素子分離酸化膜17は、その周辺部とセンター部での素子分離酸化膜17の膜厚がアルミニウムの注入量に対して、以下の関係を有しているアルミニウムの注入量が $1 \times 10^{13}$ atoms/cm<sup>2</sup>の場合では、素子分離酸化膜17の膜厚は、900℃での乾燥酸素雰囲気による酸化において、素子分離酸化膜17の形成領域の周辺部では95nm程度の膜厚が得られ、素子分離酸化膜17の形成領域のセンター部では100nm程度の膜厚が得られる。

【0041】また、アルミニウムの注入量が $1 \times 10^{14}$ atoms/cm<sup>2</sup>の場合では、素子分離酸化膜17の膜厚は、900℃での乾燥酸素雰囲気による酸化において、素子分離酸化膜17の形成領域の周辺部では90nm程度の膜厚が得られ、素子分離酸化膜17の形成領域のセンター部では100nm程度の膜厚が得られる。さらに、アルミニウムの注入量が $1 \times 10^{15}$ atoms/cm<sup>2</sup>の場合では、素子分離酸化膜17の膜厚は、900℃での乾燥酸素雰囲気による酸化において、素子分離酸化膜17の形成領域の周辺部では85nm程度の膜厚が得られ、素子分離酸化膜17の形成領域のセンター部では100nm程度の膜厚が得られる。

【0042】したがって、素子分離酸化膜17の膜厚は、素子分離酸化膜17の形成領域の周辺部ではセンター部に比較して10%程度、素子分離酸化膜17の膜厚を薄くできる。アルミニウムの注入量が多くなるとともに

に、乾燥酸素の拡散が抑制されていることがわかる。この結果、素子分離酸化膜17のバースピークの長さは、アルミニウムのイオン注入により10%程度減少させることができる。また、NMOSトランジスタ形成領域側の素子分離酸化膜17の側端部に沿ってアルミニウムの拡散層19は、素子分離酸化膜17とボディ領域との界面におけるP型の不純物の濃度低下を防止することにより、反転層の形成を防止し、ゲート電圧に対するドレイン電流特性のハンプの発生の防止が可能になる。

【0043】尚、アルミニウムの注入量が $1 \times 10^{12}$ atoms/cm<sup>2</sup>以下では乾燥酸素の拡散の抑制効果がなくなり、アルミニウムの注入量が $1 \times 10^{15}$ atoms/cm<sup>2</sup>以上では素子分離酸化膜17内部にもアルミニウムの拡散が生じ、素子分離酸化膜17が劣化する。

【0044】次に、図2(d)に示すように、希釈フッ酸(HF)によってアルミニウムを含む酸化膜18を除去した後、リン酸(H<sub>3</sub>PO<sub>4</sub>)によってアルミニウムを含むシリコン窒化膜15を除去し、さらに希釈フッ酸(HF)によってパッド酸化膜13を除去する。これにより、NMOSトランジスタ、PMOSトランジスタ等の素子領域が素子分離酸化膜17によって分離される。その後、適宜、電極等を形成することにより、SOI基板上にNMOSトランジスタおよびPMOSトランジスタが設けられた等の半導体装置とされる。

【0045】得られた半導体装置では、素子分離酸化膜17の周辺部の膜厚が薄く、しかも、NMOSトランジスタ形成領域側の素子分離酸化膜17の側端部に沿ってP型不純物であるアルミニウムの拡散層19が形成されているために、素子分離酸化膜17のバースピークの長さは、アルミニウムのイオン注入により10%程度減少し、ゲート電圧に対するドレイン電流特性のハンプの発生の防止が可能になる。

【0046】尚、図1(a)~(e)および図2(a)~(d)に示した本発明の実施形態は、SOI基板に適用した場合であるが、本発明の素子分離法は、バルク基板に対しても同様に適用できる。

#### 【0047】

【発明の効果】以上より、本発明の半導体装置の製造方法では、シリコン基板上に形成された第1および第2の絶縁膜に開口領域を形成して、その開口領域からシリコン基板を酸化して素子分離酸化膜を形成するようになっているために、素子分離酸化膜によるバースピークの長さが減少し、ゲート電圧に対するドレイン電流特性のハンプの発生の防止が可能になる。

【0048】また、本発明の半導体装置の製造方法では、シリコン基板上に形成された第1および第2の絶縁膜に開口領域を形成し、その開口領域の一部からシリコン基板に不純物原子を添加した後に、開口領域からシリコン基板を酸化して素子分離絶縁膜を形成するようになっており、これによっても、素子分離酸化膜によるバ

ーズピークの長さが減少し、ゲート電圧に対するドレン電流特性のハングの発生の防止が可能になる。

【図面の簡単な説明】

【図1】(a)～(e)は、それぞれ本発明の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【図2】(a)～(d)は、それぞれ本発明の他の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【図3】(a)～(b)は、それぞれ従来の半導体装置の製造方法における各工程を示す断面図である。

【図4】従来の他の半導体装置の製造方法における工程を示す断面図である。

【図5】従来のさらに他の半導体装置の製造方法における工程を示す断面図である。

【符号の説明】

- 10 シリコン基板
- 11 埋め込み酸化膜
- 12 ボディ領域
- 13 パッド酸化膜
- 14 シリコン窒化膜

15 アルミニウムを含むシリコン窒化膜

16 フォトレジスト

16a アルミニウムの注入層

16b 開口部

17 素子分離酸化膜

18 アルミニウムを含む酸化膜

19 アルミニウムの拡散層

20 シリコン基板

20a NMOSトランジスタ形成領域

20b PMOSトランジスタ形成領域

21 埋め込み酸化膜

22 ボディ領域

23 パッド酸化膜

24 シリコン窒化膜

25 フォトレジスト

26 フォトレジスト

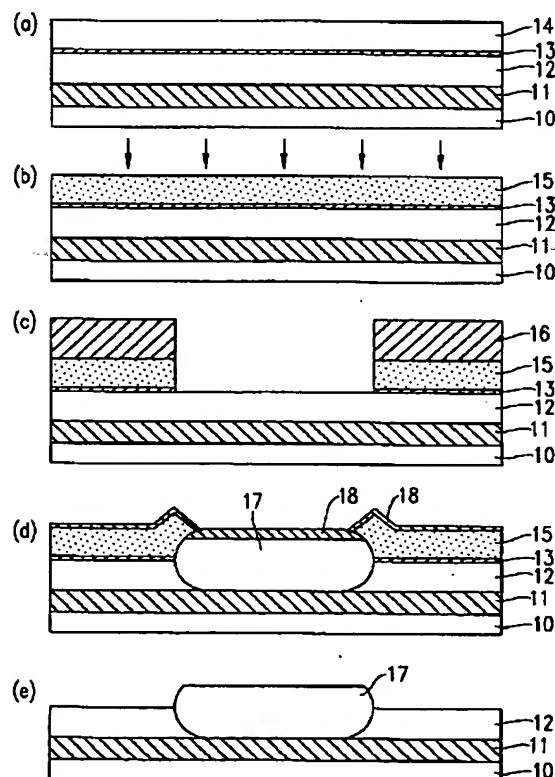
27 P型不純物拡散層

27a P型不純物補償層

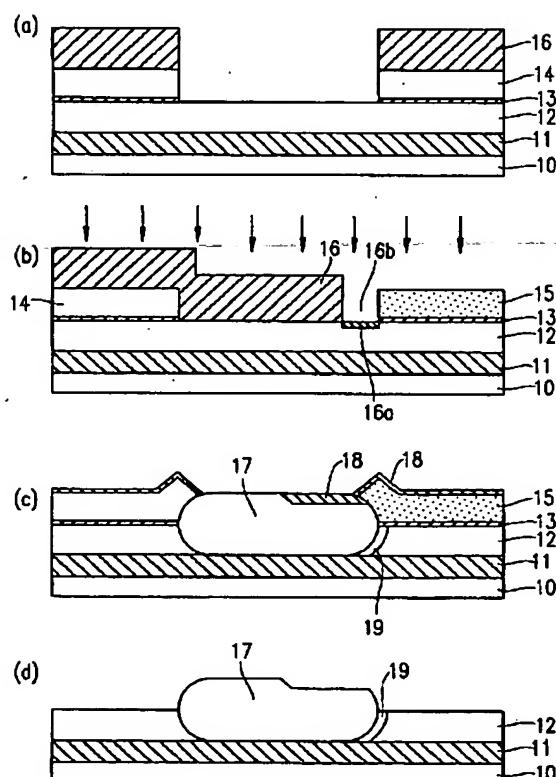
28 素子分離酸化膜

29 ホウ素シリケートガラス(BSG)膜

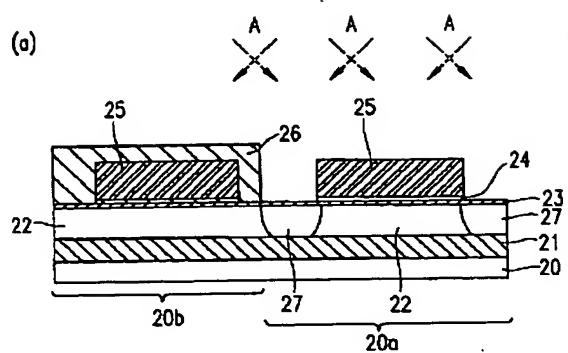
【図1】



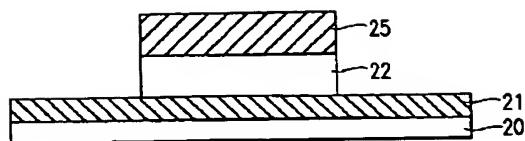
【図2】



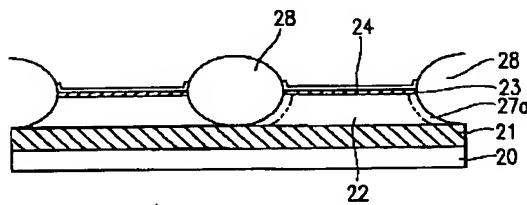
【図3】



【図4】



(b)



【図5】

